

(11) Publication number: **2003068987 A**

Generated Document

(21) Application number: 2001257532
(22) Application date: 28.08.01

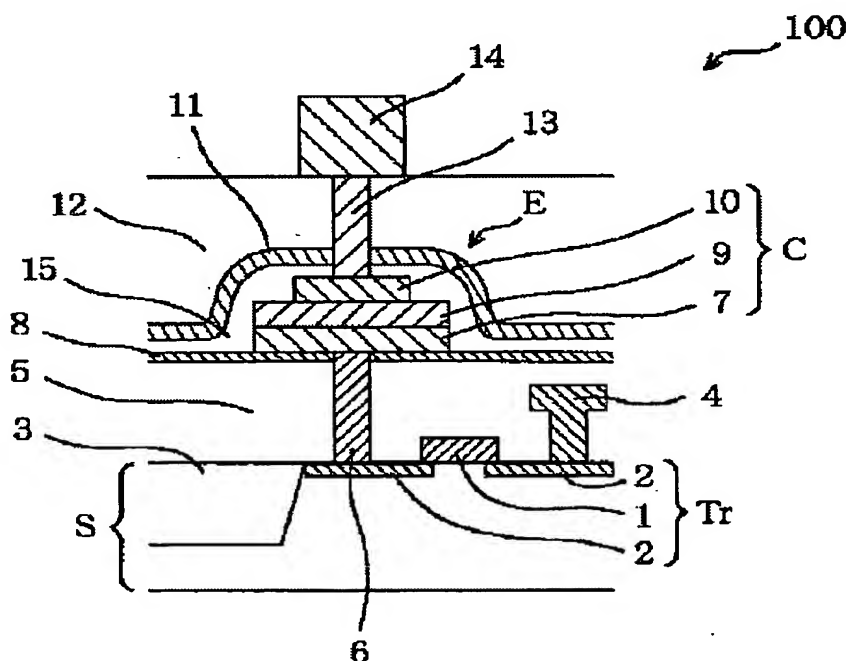
(51) Intl. Cl.: H01L 27/105

(54) SEMICONDUCTOR STORAGE
DEVICE AND ITS
MANUFACTURING METHOD

PROBLEM TO BE SOLVED: To provide a semiconductor device having a memory cell capacitor in which a deterioration of characteristics due to a hydrogen or a reducible atmosphere is suppressed and prevented and which has excellent reliability.

SOLUTION: The memory cell capacitor C comprises a lower electrode 7 formed on a first hydrogen barrier film 8, a capacity insulating film 9 made of a ferroelectric material formed on the electrode 7, and an upper electrode 10 formed on the film 9. An interlayer film 15 is formed on the film 8 and the capacitor C so as to cover the capacitor C. The film 15 alleviates a stepwise difference of an edge E of the capacitor. A second hydrogen barrier film 11 is formed on the film 15, and a second insulating film 12 is further formed on the film 11.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-68987
(P2003-68987A)

(43) 公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl.⁷
H 0 1 L 27/105

識別記号

F I
H 0 1 L 27/10

テ-マ-ド*(参考)

4 4 4 B 5 F 0 8 3

審査請求 未請求 請求項の数21 O L (全 16 頁)

(21) 出願番号 特願2001-257532(P2001-257532)

(22) 出願日 平成13年8月28日(2001.8.28)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 三河 巧

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 十代 勇治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

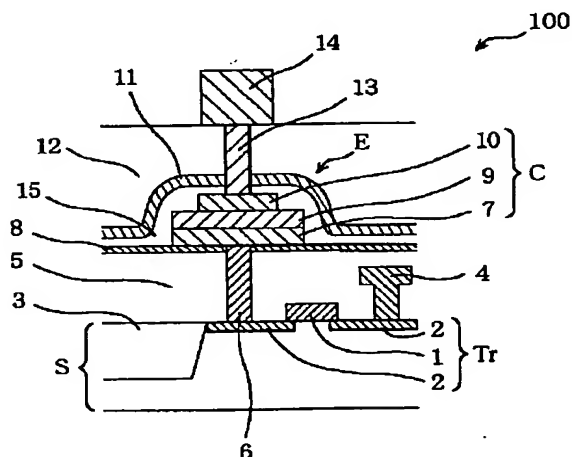
最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 水素や還元性雰囲気による特性の劣化が抑制・防止され、信頼性に優れたメモリセルキャパシタを備える半導体装置を提供する。

【解決手段】 メモリセルキャパシタCは、第1の水素バリア膜8の上に形成された下部電極7と、下部電極7の上に形成された強誘電体材料からなる容量絶縁膜9と、容量絶縁膜9の上に形成された上部電極10を備える。第1の水素バリア膜8およびメモリセルキャパシタCの上には、メモリセルキャパシタCを覆うように層間膜15が形成されている。層間膜15は、メモリセルキャパシタCのエッジ部Eの段差を緩和する。層間膜15の上には、第2の水素バリア膜11が形成されており、さらに第2の水素バリア膜11の上に第2の絶縁膜12が形成されている。



【特許請求の範囲】

【請求項1】 半導体基板と、
上記半導体基板の上方に設けられた第1電極と、上記第1電極上に形成された容量絶縁膜と、上記容量絶縁膜上に設けられた第2電極とを有するデータ記憶用のメモリセルキャパシタと、
上記メモリセルキャパシタを上方および側方から被覆する段差緩和用膜と、
上記段差緩和用膜を被覆する被覆水素バリア膜と、
を備える半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置において、
上記段差緩和用膜は、O₂およびTEOSを使用した常圧熱CVD法により形成されていることを特徴とする半導体記憶装置。

【請求項3】 請求項1または2に記載の半導体記憶装置において、
上記被覆水素バリア膜は、スパッタ法により形成されていることを特徴とする半導体記憶装置。

【請求項4】 請求項1から3のいずれか1つに記載の半導体記憶装置において、
上記第1電極の下方に設けられた下敷き水素バリア膜をさらに備えることを特徴とする半導体記憶装置。

【請求項5】 請求項4に記載の半導体記憶装置において、
上記下敷き水素バリア膜は、上記メモリセルキャパシタの周辺部において上記被覆水素バリア膜と接していることを特徴とする半導体記憶装置。

【請求項6】 請求項5に記載の半導体記憶装置において、
上記被覆水素バリア膜と上記下敷き水素バリア膜とがほぼ同一外形になるようにパターニングされていることを特徴とする半導体記憶装置。

【請求項7】 請求項5に記載の半導体記憶装置において、
上記被覆水素バリア膜は、上記段差緩和用膜を上方から被覆するバリア膜と、上記段差緩和用膜を側方から被覆するサイドウォールとからなることを特徴とする半導体記憶装置。

【請求項8】 請求項4に記載の半導体記憶装置において、
上記第1電極は、上記下敷き水素バリア膜に埋め込まれていることを特徴とする半導体記憶装置。

【請求項9】 請求項8に記載の半導体記憶装置において、
上記第1電極は、下部に導電性水素バリア膜を備えることを特徴とする半導体記憶装置。

【請求項10】 半導体基板の上方に、第1電極と、上記第1電極上に形成された容量絶縁膜と、上記容量絶縁膜上に設けられた第2電極とを有するメモリセルキャパ

シタを形成する工程(a)と、
上記工程(a)の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜を形成する工程(b)と、
基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程(c)と、
を含む半導体記憶装置の製造方法。

【請求項11】 請求項10に記載の半導体記憶装置の製造方法において、上記工程(a)の前に、上記半導体基板の上方に下敷き水素バリア膜を形成する工程(d)をさらに含み、
上記工程(a)では、上記下敷き水素バリア膜の上に上記第1電極を形成することを特徴とする半導体記憶装置の製造方法。

【請求項12】 請求項11に記載の半導体記憶装置の製造方法において、
上記工程(b)の後に、上記メモリセルキャパシタの周辺部において、上記段差緩和用膜を除去する工程(e)をさらに含み、
上記工程(c)では、上記被覆水素バリア膜を、上記メモリセルキャパシタの周辺部において上記下敷き水素バリア膜に接するように形成することを特徴とする半導体記憶装置の製造方法。

【請求項13】 請求項12に記載の半導体装置の製造方法において、
上記工程(e)では、ウェットエッチング法を用いることを特徴とする半導体記憶装置の製造方法。

【請求項14】 請求項12または13に記載の半導体記憶装置の製造方法において、
上記工程(e)の後に、同一のマスクを用いて、上記メモリセルキャパシタの周辺部に位置する上記被覆水素バリア膜と上記下敷き水素バリア膜とをパターニングする工程(f)をさらに含むことを特徴とする半導体記憶装置の製造方法。

【請求項15】 請求項11に記載の半導体記憶装置の製造方法において、
上記工程(c)の後に、上記メモリセルキャパシタの周辺部において、上記段差緩和用膜および上記被覆水素バリア膜を除去して上記下敷き水素バリア膜を露出させる工程(g)と、

基板上に第2の被覆水素バリア膜を形成する工程(h)と、
上記第2の被覆水素バリア膜をエッチバックすることによって、上記被覆水素バリア膜および上記段差緩和用膜を側面から被覆するサイドウォールを形成する工程(i)と、
をさらに含むことを特徴とする半導体記憶装置の製造方法。

【請求項16】 請求項10から15のいずれか1つに記載の半導体記憶装置の製造方法において、

上記工程(b)では、上記段差緩和用膜をO₃およびT
EOSを使用した常圧熱CVD法によって形成すること
を特徴とする半導体記憶装置。

【請求項17】 請求項10から16のいずれか1つに
記載の半導体記憶装置の製造方法において、

上記工程(c)では、上記被覆水素バリア膜をスパッタ
法によって形成することを特徴とする半導体記憶装置。

【請求項18】 半導体基板上に第1電極を形成する工
程(a)と、

上記工程(a)の後に、基板上に下敷き水素バリア膜を
形成する工程(b)と、

上記下敷き水素バリア膜を上記第1電極の表面が露出
するまで除去して、上記下敷き水素バリア膜中に上記第1
電極を埋め込む工程(c)と、

上記第1電極上に容量絶縁膜を形成する工程(d)と、
上記容量絶縁膜上に第2電極用膜を形成する工程(e)

と、
上記容量絶縁膜と上記第2電極用膜とをパターンニング
することによってメモリセルキャパシタを形成する工程
(f)と、

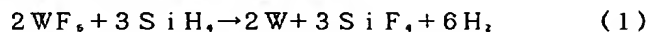
上記工程(f)の後に、基板上に、上記メモリセルキャ
パシタを被覆する段差緩和用膜を形成する工程(g)

と、
基板上に、上記段差緩和用膜を被覆する被覆水素バリア
膜を形成する工程(h)と、
を含む半導体記憶装置の製造方法。

【請求項19】 請求項18に記載の半導体記憶装置の
製造方法において、

上記工程(g)の後に、上記メモリセルキャパシタの周
辺部において、上記段差緩和用膜を除去する工程(i)

をさらに含み、
上記工程(h)では、上記被覆水素バリア膜を、上記メ
モリセルキャパシタの周辺部において上記下敷き水素バ
リア膜に接するように形成することを特徴とする半導体*



上記式1で表される反応は、非常に強い還元性雰囲気
中で行なわれる。また、Al配線形成後には、MOSTラ
ンジスタの特性確保のため、水素を含んだ雰囲気中でア
ニールが行なわれる。他にも、半導体装置の製造プロセ
スには、水素が発生する工程や水素を用いる工程が多数
含まれている。

【0006】水素は半導体装置に用いられるほとんどの
材料を透過するので、従来の強誘電体メモリ装置では、
メモリセルキャパシタ形成以降の工程での水素発生の低
減や還元性雰囲気の抑制を図る、あるいは絶縁性水素バ
リア膜によりメモリセルキャパシタを被覆するなどし
て、製造工程中のメモリセルキャパシタの特性劣化を防
ぐ工夫がなされている。その一例として、以下に、水素
バリア膜を用いることによって、製造工程においてメモ
リセルキャパシタの特性劣化を抑制・防止する方法を説

* 記憶装置の製造方法。

【請求項20】 請求項18または19に記載の半導体
記憶装置の製造方法において、

上記工程(g)では、上記段差緩和用膜をO₃およびT
EOSを使用した常圧熱CVD法によって形成すること
を特徴とする半導体記憶装置。

【請求項21】 請求項18から20のいずれか1つに
記載の半導体記憶装置の製造方法において、

上記工程(h)では、上記被覆水素バリア膜をスパッタ
法によって形成することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置お
よびその製造方法に関し、特に、半導体記憶装置の信頼
性向上に関する。

【0002】

【従来の技術】近年、例えばPb(Zr, Ti)O₃、
SrBi₂Ta₂O₉等のヒステリシス特性を有する強誘
電体材料を容量絶縁膜に用いたメモリセルキャパシタを
有する強誘電体メモリ装置が開発されている。

【0003】強誘電体メモリ装置を実現するための最重
要課題は、メモリセルキャパシタの特性を劣化させるこ
となく集積化を実現するための構造およびその製造方法
を開発することである。特に、容量絶縁膜に用いられる
強誘電体材料は、酸素原子を持つ層状酸化物であり、メ
モリセルキャパシタ形成以降の工程中の水素雰囲気中で
容易に還元されると、強誘電体の特性が劣化する。

【0004】例えば、半導体装置の微細化に伴って、ア
スペクト比の大きなコンタクトホール埋め込みには、
CVD法によるタングステン(W)の成膜が広く用いら
れている。Wの成膜には、以下に示す式1で表わされる
反応が用いられる。

【0005】

明する。

【0007】図16は、製造工程におけるメモリセルキ
ャパシタの特性劣化を抑制・防止する第1の従来のメモ
リセル1000を示す断面図である。

【0008】メモリセル1000は、メモリセルトラ
ンジスタとして用いられるMOSTランジスタTrと、メ
モリセルキャパシタCとを有する。MOSTランジスタ
Trは、半導体基板S上に形成されたゲート電極1と高
濃度不純物拡散領域2とから構成されている。各メモ
リセルのそれぞれのMOSTランジスタTrは、埋め込み
分離領域(以下、STI分離領域と称する)3によって
電気的に分離されている。ゲート電極1にはワード線
(不図示)が接続されており、高濃度不純物拡散領域2
の一方にはビット線4が接続されている。MOSTラン
ジスタTrが形成された半導体基板S上には、第1の絶

緑膜5と、第1の水素バリア膜8とが形成されている。

【0009】メモリセルキャパシタCは、第1の水素バリア膜8の上に形成された下部電極7と、下部電極7の上に形成された強誘電体材料からなる容量絶縁膜9と、容量絶縁膜9の上に形成された上部電極10を備える。下部電極7には、第1の絶縁膜5および第1の水素バリア膜8を貫通するコンタクトプラグ6を介してもう一方の高濃度不純物拡散領域2に接続されている。

【0010】第1の水素バリア膜8およびメモリセルキャパシタCの上には、メモリセルキャパシタCを覆うように第2の水素バリア膜11が形成されており、さらに、第2の水素バリア膜11の上に第2の絶縁膜12が形成されている。上部電極10は、第2の水素バリア膜11および第2の絶縁膜12を貫通するコンタクトプラグ13を介してA1配線14に接続されている。

【0011】図17は、製造工程におけるメモリセルキャパシタの特性劣化を防ぐ第2の従来のメモリセルを示す断面図である。

【0012】図17に示すメモリセル1000は、図16に示す第1の従来のメモリセルとほぼ同じ構造を有している。但し、第2の水素バリア膜11が、第2の絶縁膜12上に形成されている点が第1の従来のメモリセル1000と異なる。

【0013】

【発明が解決しようとする課題】一般的な水素バリア膜の成膜方法としては、CVD法やスパッタ法などが用いられる。しかしながら、CVD法はガス中に水素が含まれていることが多く、成膜中に水素や水分を発生し、強誘電体材料からなる容量絶縁膜を劣化させるという課題がある。このため、上記従来のメモリセルの製造では、メモリセルキャパシタCの形成後の工程で形成される第2の水素バリア膜11は、成膜中に水素の発生のないスパッタ法により、例えばAl、O、やTiNなどの材料を用いて形成される。

【0014】しかしながら、図16に示す第1の従来のメモリセル1000では、図18に示すように、メモリセルキャパシタCのエッジ部分Eで第2の水素バリア膜11の段差被覆性が悪い。このため、エッジ部分Eにおける第2の水素バリア膜11の結晶性・緻密性に悪影響が生じ、粒界が発生する。このように発生した粒界から、メモリセル1000の第2の絶縁膜12を透過した水素が侵入することがある。侵入した水素は、強誘電体材料からなる容量絶縁膜9を劣化させる。

【0015】また、図17に示す第2の従来のメモリセルでは、A1配線14と上部電極10とを接続するコンタクトプラグ13を形成する際に、コンタクトプラグ13が形成される接続孔の側壁から水素が侵入する。侵入した水素は、第2の絶縁膜12中を拡散し、強誘電体材料からなる容量絶縁膜9に到達して劣化させる。

【0016】以上に述べたように、上記従来のメモリセ

ルにおいて、強誘電体材料からなる容量絶縁膜の劣化を抑制・防止することが非常に困難である。

【0017】本発明は、上記不具合を解決するためになされたものであり、水素や還元性雰囲気による特性の劣化が抑制・防止され、信頼性に優れたメモリセルキャパシタを備える半導体装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体記憶装置は、半導体基板と、上記半導体基板の上方に設けられた第1電極と、上記第1電極上に形成された容量絶縁膜と、上記容量絶縁膜上に設けられた第2電極とを有するデータ記憶用のメモリセルキャパシタと、上記メモリセルキャパシタを上方および側方から被覆する段差緩和用膜と、上記段差緩和用膜を被覆する被覆水素バリア膜とを備える。

【0019】本発明によれば、メモリセルキャパシタを覆うように、メモリセルキャパシタのエッジ部の段差を緩和する段差緩和用膜が形成されている。このため、被覆水素バリア膜の段差被覆性が向上する。従って、段差緩和用膜の上に形成される被覆水素バリア膜は、従来のメモリセルに比べてエッジ部における結晶性・緻密性が維持される。このことによって、エッジ部からの水素の侵入および拡散によるメモリセルキャパシタの容量絶縁膜の特性劣化が抑制・防止される。

【0020】上記段差緩和用膜は、O、およびTEOSを使用した常圧熱CVD法により形成されていることが好ましい。

【0021】O、およびTEOSを使用した常圧熱CVD法では、膜形成工程における温度が低く、水素もほとんど発生しない。このため、容量絶縁膜にダメージを与えることなく段差緩和用膜を形成することが可能である。さらに、O、およびTEOSを使用した常圧熱CVD法により段差緩和用膜を形成すると、段差緩和用膜の表面が自然になだらかなる。つまり、段差緩和用膜のなだらかな表面を非常に容易に形成できる。

【0022】上記被覆水素バリア膜は、スパッタ法により形成されていることが好ましい。

【0023】スパッタ法では水素が発生しないので、水素によるメモリセルキャパシタの容量絶縁膜の特性劣化を抑制・防止できる。

【0024】上記第1電極の下方に設けられた下敷き水素バリア膜をさらに備えることが好ましい。

【0025】このことによって、半導体基板側からの水素の侵入および拡散によるメモリセルキャパシタの容量絶縁膜の特性劣化を抑制・防止できる。

【0026】上記下敷き水素バリア膜は、上記メモリセルキャパシタの周辺部において上記被覆水素バリア膜と接していることが好ましい。

【0027】このことによって、メモリセルキャパシタが下敷き水素バリア膜と被覆水素バリア膜とによって完

全に密封されるので、水素による容量絶縁膜の特性劣化を抑制・防止する効果が向上する。

【0028】上記被覆水素バリア膜と上記下敷き水素バリア膜とがほぼ同一外形になるようにパターンニングされていることが好ましい。

【0029】被覆水素バリア膜および下敷き水素バリア膜が形成されていない領域にコンタクトプラグを設ける構成とする場合に、上記2つの膜を貫通することによるコンタクトプラグの形状悪化を抑制・防止することができる。

【0030】上記被覆水素バリア膜は、上記段差緩和用膜を上方から被覆するバリア膜と、上記段差緩和用膜を側方から被覆するサイドウォールとからなる構成としてもよい。

【0031】上記第1電極は、上記下敷き水素バリア膜に埋め込まれていることが好ましい。

【0032】このことによって、第1電極の厚さの分だけメモリセルキャパシタの下敷き水素バリア膜の表面からの高さを低減できる。このため、被覆水素バリア膜の段差が低減される。従って、被覆水素バリア膜をパターンニングする際のレジスト膜厚、パターンニングへの影響が抑制され、メモリセルのさらなる微細化が実現できる。

【0033】上記第1電極は、下部に導電性水素バリア膜を備えることが好ましい。

【0034】このことによって、第1電極に接続されるコンタクトプラグ等から拡散してくる極微量の水素による容量絶縁膜の特性劣化を抑制・防止することができる。

【0035】本発明の半導体記憶装置の製造方法は、半導体基板の上方に、第1電極と、上記第1電極上に形成された容量絶縁膜と、上記容量絶縁膜上に設けられた第2電極とを有するメモリセルキャパシタを形成する工程(a)と、上記工程(a)の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜を形成する工程(b)と、基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程(c)とを含む。

【0036】本発明によれば、メモリセルキャパシタを覆うように、メモリセルキャパシタのエッジ部の段差を緩和する段差緩和用膜が形成されている。このため、被覆水素バリア膜の段差被覆性が向上する。従って、段差緩和用膜の上に形成される被覆水素バリア膜は、従来のメモリセルに比べてエッジ部における結晶性・緻密性が維持される。このことによって、エッジ部からの水素の侵入および拡散によるメモリセルキャパシタの容量絶縁膜の特性劣化が抑制・防止された、信頼性の高い半導体記憶装置が得られる。

【0037】上記工程(a)の前に、上記半導体基板の上方に下敷き水素バリア膜を形成する工程(d)をさらに含み、上記工程(a)では、上記下敷き水素バリア膜の上に上記第1電極を形成することが好ましい。

【0038】このことによって、半導体基板側からの水素の侵入および拡散によるメモリセルキャパシタの容量絶縁膜の特性劣化を抑制・防止できる。

【0039】上記工程(b)の後に、上記メモリセルキャパシタの周辺部において、上記段差緩和用膜を除去する工程(e)をさらに含み、上記工程(c)では、上記被覆水素バリア膜を、上記メモリセルキャパシタの周辺部において上記下敷き水素バリア膜に接するように形成することが好ましい。

10 【0040】このことによって、メモリセルキャパシタの周辺部において、下敷き水素バリア膜の一部が被覆水素バリア膜と接する。従って、メモリセルキャパシタが下敷き水素バリア膜と被覆水素バリア膜とによって完全に密封されるので、水素による容量絶縁膜の特性劣化を抑制・防止する効果が向上する。

【0041】上記工程(e)では、ウェットエッチング法を用いてもよい。

20 【0042】上記工程(e)の後に、同一のマスクを用いて、上記メモリセルキャパシタの周辺部に位置する上記被覆水素バリア膜と上記下敷き水素バリア膜とをパターンニングする工程(f)をさらに含むことが好ましい。

【0043】被覆水素バリア膜および下敷き水素バリア膜が形成されていない領域にコンタクトプラグを設ける構成とする場合に、上記2つの膜を貫通することによるコンタクトプラグの形状悪化を抑制・防止することができる。

30 【0044】上記工程(c)の後に、上記メモリセルキャパシタの周辺部において、上記段差緩和用膜および上記被覆水素バリア膜を除去して上記下敷き水素バリア膜を露出させる工程(g)と、基板上に第2の被覆水素バリア膜を形成する工程(h)と、上記第2の被覆水素バリア膜をエッチバックすることによって、上記被覆水素バリア膜および上記段差緩和用膜を側面から被覆するサイドウォールを形成する工程(i)とをさらに含んでもよい。

【0045】上記工程(b)では、上記段差緩和用膜をO₃およびTEOSを使用した常圧熱CVD法によって形成することが好ましい。

40 【0046】O₃およびTEOSを使用した常圧熱CVD法では、膜形成工程における温度が低く、水素もほとんど発生しない。このため、容量絶縁膜にダメージを与えることなく段差緩和用膜を形成することが可能である。さらに、O₃およびTEOSを使用した常圧熱CVD法により段差緩和用膜を形成すると、段差緩和用膜の表面が自然になだらかになる。つまり、段差緩和用膜のなだらかな表面を非常に容易に形成できる。

【0047】上記工程(c)では、上記被覆水素バリア膜をスパッタ法によって形成することが好ましい。

50 【0048】スパッタ法では水素が発生しないので、水素によるメモリセルキャパシタの容量絶縁膜の特性劣化

を抑制・防止できる。

【0049】本発明の別の半導体記憶装置の製造方法は、半導体基板上に第1電極を形成する工程(a)と、上記工程(a)の後に、基板上に下敷き水素バリア膜を形成する工程(b)と、上記下敷き水素バリア膜を上記第1電極の表面が露出するまで除去して、上記下敷き水素バリア膜中に上記第1電極を埋め込む工程(c)と、上記第1電極上に容量絶縁膜を形成する工程(d)と、上記容量絶縁膜上に第2電極用膜を形成する工程(e)と、上記容量絶縁膜と上記第2電極用膜とをパターンニングすることによってメモリセルキャパシタを形成する工程(f)と、上記工程(f)の後に、基板上に、上記メモリセルキャパシタを被覆する段差緩和用膜を形成する工程(g)と、基板上に、上記段差緩和用膜を被覆する被覆水素バリア膜を形成する工程(h)とを含む。

【0050】本発明の別の半導体記憶装置の製造方法によれば、第1電極の厚さの分だけメモリセルキャパシタの下敷き水素バリア膜の表面からの高さを低減できる。このため、被覆水素バリア膜の段差が低減される。従って、被覆水素バリア膜をパターンニングする際のレジスト膜厚、パターンニングへの影響が抑制され、メモリセルのさらなる微細化が実現できる。

【0051】上記工程(g)の後に、上記メモリセルキャパシタの周辺部において、上記段差緩和用膜を除去する工程(i)をさらに含み、上記工程(h)では、上記被覆水素バリア膜を、上記メモリセルキャパシタの周辺部において上記下敷き水素バリア膜に接するように形成することが好ましい。

【0052】このことによって、メモリセルキャパシタの周辺部において、下敷き水素バリア膜の一部が被覆水素バリア膜と接する。従って、メモリセルキャパシタが下敷き水素バリア膜と被覆水素バリア膜とによって完全に密封されるので、水素による容量絶縁膜の特性劣化を抑制・防止する効果が向上する。

【0053】上記工程(g)では、上記段差緩和用膜をO₂およびTEOSを使用した常圧熱CVD法によって形成することが好ましい。

【0054】上記工程(h)では、上記被覆水素バリア膜をスパッタ法によって形成することが好ましい。

【0055】

【発明の実施の形態】以下、本発明の実施形態について、図1から図15を参照しながら説明する。なお、簡単のため、各実施形態に共通する構成要素は、同一の参照符号で示す。

【0056】(実施形態1)図1は、本実施形態のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。図2は、本実施形態のメモリセルが備えるメモリセルキャパシタのエッジ部Eを拡大した図である。

【0057】図1に示すように、本実施形態のメモリセル100は、メモリセルトランジスタとして用いられる

MOSTランジスタTrと、メモリセルキャパシタCとを有する。

【0058】MOSTランジスタTrは、半導体基板S上に形成されたゲート絶縁膜(不図示)と、ゲート絶縁膜上に形成されたゲート電極1と、半導体基板S上のゲート電極1を挟む領域に形成された高濃度不純物拡散領域2とから構成されている。各メモリセルのそれぞれのMOSTランジスタTrは、埋め込み分離領域(以下、STI分離領域と称する)3によって電気的に分離されている。ゲート電極1にはワード線(不図示)が接続されており、高濃度不純物拡散領域2の一方にはビット線4が接続されている。MOSTランジスタTrが形成された半導体基板S上には、第1の絶縁膜5と、半導体基板S側からの水素の侵入および拡散を抑制・防止する第1の水素バリア膜8とが形成されている。

【0059】メモリセルキャパシタCは、第1の水素バリア膜8の上に形成された下部電極7と、下部電極7の上に形成された強誘電体材料からなる容量絶縁膜9と、容量絶縁膜9の上に形成された上部電極10を備える。下部電極7は、第1の絶縁膜5および第1の水素バリア膜8を貫通するコンタクトプラグ6を介してもう一方の高濃度不純物拡散領域2に接続されている。

【0060】第1の水素バリア膜8およびメモリセルキャパシタCの上には、メモリセルキャパシタCを覆うように層間膜15が形成されている。層間膜15は、図2に示すように、メモリセルキャパシタCのエッジ部Eの段差を緩和する。層間膜15の上には、第2の水素バリア膜11が形成されており、さらに第2の水素バリア膜11の上に第2の絶縁膜12が形成されている。上部電極10は、第2の水素バリア膜11および第2の絶縁膜12を貫通するコンタクトプラグ13を介してA1配線14に接続されている。

【0061】本実施形態では、図1に示すように、第1の水素バリア膜8およびメモリセルキャパシタCの上には、メモリセルキャパシタCを覆うように、メモリセルキャパシタCのエッジ部Eの段差を緩和する層間膜15が形成されている。このため、第2の水素バリア膜11の段差被覆性が向上する。従って、層間膜15の上に形成される第2の水素バリア膜11は、図2に示すように、従来のメモリセル1000に比べてエッジ部Eにおける結晶性・緻密性が維持されている。このことによる効果を、図3を参照しながらさらに説明する。

【0062】図3は、本実施形態のメモリセル100および従来のメモリセル1000に設けられたそれぞれのメモリセルキャパシタの分極特性を示すグラフである。図3中のF1は、第1の従来のメモリセル1000(すなわち、層間膜15が設けられていない)にアニールのための水素処理を行なった後のメモリセルキャパシタCの分極特性、F2は、本実施形態のメモリセル100(すなわち、層間膜15が設けられている)にアニール

のための水素処理を行なった後のメモリセルキャパシタCの分極特性、F3は、本実施形態のメモリセル100にアニールのための水素処理を行なう前のメモリセルキャパシタCの分極特性をそれぞれ示す。

【0063】図3に示すように、本実施形態のメモリセル100（段差緩和用の層間膜15が設けられている）では、水素処理前（F3）と後（F2）とで分極量（ $12\mu\text{C}/\text{cm}^2$ ）に変化がない。これに対し、従来のメモリセル1000（段差緩和用の層間膜15が設けられていない）では、水素処理後（F1）に分極量が $2\mu\text{C}/\text{cm}^2$ と大きく低下している。

【0064】これは、従来のメモリセル1000では、図18に示すように、メモリセルキャパシタCのエッジ部Eでの第2の水素バリア膜11の段差被覆性が悪いことが原因である。エッジ部Eでの第2の水素バリア膜11の段差被覆性が悪いため、エッジ部Eにおいて膜厚が薄くなっている上に、さらに第2の水素バリア膜11の結晶状態が平坦部と異なり、緻密性も低下している。このことによって、エッジ部Eからの水素の侵入および拡散によるメモリセルキャパシタCの分極特性が劣化する。

【0065】一方、本実施形態のメモリセル100では、第2の水素バリア膜11が平坦部と同程度の水素バリア性を有するように段差緩和用の層間膜15が設けられていることによって、メモリセルキャパシタCのエッジ部Eでの第2の水素バリア膜11の段差被覆性が改善されている。従って、エッジ部Eからの水素の侵入および拡散によるメモリセルキャパシタCの分極特性の劣化が抑制・防止されていることがわかる。

【0066】次に、本実施形態のメモリセル100の製造方法を、図4を参照しながら説明する。

【0067】まず、図4（a）に示す工程で、半導体基板S上にSTI分離領域3を形成した後、半導体基板S上にゲート絶縁膜（不図示）と、ゲート絶縁膜上に設けられたゲート電極1と、ゲート電極1を挟むように位置する高濃度不純物拡散領域2とからなるMOSTランジスタTrを形成する。続いて、基板上に、第1の絶縁膜5と第1の水素バリア膜8とを順に堆積する。

【0068】次に、第1の水素バリア膜8および第1の絶縁膜5を貫通して、高濃度不純物拡散領域2の一方に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトブラグ6を形成する。次に、下部電極7、強誘電体材料からなる容量絶縁膜9、および上部電極10を、コンタクトブラグ6が被覆されるようにパターンニングすることによって順に形成する。なお、本実施形態では下部電極7と容量絶縁膜9を同時エッチングしているが、別々に行なってもかまわない。また、メモリセルキャパシタCの上部電極10を容量規定口としているが、下部電極7を容量規定口としてもかまわない。

【0069】次に、図4（b）に示す工程で、基板上に段差緩和用の層間膜15を、メモリセルキャパシタCが被覆されるように形成する。特に、本実施形態では段差緩和用の層間膜15を、フロー形状の良好な O_3 およびTEOSを使用した常圧熱CVD法により形成する。この方法によれば、膜形成工程における温度は 400°C と低く、水素もほとんど発生しない。このため、強誘電体材料からなる容量絶縁膜9にダメージを与えることなく段差緩和用の層間膜15を形成することが可能である。さらに、 O_3 およびTEOSを使用した常圧熱CVD法により層間膜15を形成すると、層間膜15の表面が自然になだらかなになる（セルフフロー）。つまり、層間膜15のなだらかな表面を非常に容易に形成できる。従って、層間膜15の形成には、 O_3 およびTEOSを使用した常圧熱CVD法を用いることが最も好ましい。また、層間膜15の形成に、例えばSOG（スピノングラス）等を用いることもできる。

【0070】次に、図4（c）に示す工程で、基板上に第2の水素バリア膜11を、厚さ50nm程度にスパッタ法を用いて形成する。本実施形態では、上述の図4（b）に示す工程で段差緩和用の層間膜15が形成されているので、第2の水素バリア膜11をCVD法よりも段差被覆性の点で劣るスパッタ法を用いて形成することができる。スパッタ法では水素が発生しないので、水素による劣化を抑制・防止することができる。

【0071】続いて、基板上に第2の絶縁膜12を堆積し、CMP法などにより平坦化した後、第2の絶縁膜12、第2の水素バリア膜11および層間膜15を貫通して、上部電極10に到達する接続孔を開口した後、CVD法により接続孔内にタングステン膜を埋め込んでコンタクトブラグ13を形成する。次に、コンタクトブラグ13に接続されたA1配線14を形成する。

【0072】以上の工程により、水素による容量絶縁膜の劣化が抑制・防止され、信頼性の高い強誘電体メモリ装置を実現することができる。

【0073】なお、本実施形態では、メモリセルキャパシタCが、上部電極10を容量規定口である構造について述べたが、下部電極7を容量規定口とする構造としてもよい。つまり、メモリセルキャパシタCの構造に関わらず、メモリセルキャパシタCのエッジ部Eの段差を緩和する層間膜15を設けることによって、第2の水素バリア膜11の水素バリア効果を向上することができる。従って、信頼性の高いメモリセルを備える強誘電体メモリ装置が得られる。

【0074】（実施形態2）図5は、本実施形態のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。

【0075】本実施形態のメモリセル200は、上記実施形態1とはほぼ同じ構造を有している。但し、次の相違点がある。

【0076】まず第1に、上記実施形態1のビット線4に代えて、図5に示すように、第2の絶縁膜12、第1の水素バリア膜8および第1の絶縁膜5を貫通して、MOSトランジスタTrの高濃度不純物拡散領域2に到達するコンタクトプラグ16と、コンタクトプラグ16に接続されたビット線となるA1配線14'が設けられている点である。つまり、コンタクトプラグ16が設けられる領域には、段差緩和用の層間膜15および第2の水素バリア膜11が形成されていない点である。

【0077】第2に、本実施形態のメモリセル200では、図5に示すように、メモリセルキャパシタCおよび層間膜15が、第1の水素バリア膜8および第2の水素バリア膜11によって完全に密封されている。

【0078】本実施形態によれば、コンタクトプラグ16が、第2の水素バリア膜11および層間膜15を貫通することがない。従って、A1配線14'を形成する際に、コンタクトプラグ16から層間膜15を通じてメモリセルキャパシタCへ水素が侵入することがない。従って、水素による強誘電体材料からなる容量絶縁膜9の劣化をさらに効果的に抑制・防止することができる。

【0079】特に本実施形態によれば、メモリセルキャパシタCおよび層間膜15が、第1の水素バリア膜8および第2の水素バリア膜11によって完全に密封されているので、水素による容量絶縁膜の特性劣化を抑制・防止する効果が向上する。

【0080】次に、本実施形態のメモリセル200の3通りの製造方法を、図6～図10を参照しながら説明する。

【0081】—第1の製造方法—

図6および図7を参照しながら、第1の製造方法を説明する。

【0082】まず、図6(a)に示す工程で、半導体基板S上にSTI分離領域3を形成した後、半導体基板S上にゲート絶縁膜(不図示)と、ゲート絶縁膜上に設けられたゲート電極1と、ゲート電極1を挟むように位置する高濃度不純物拡散領域2とからなるMOSトランジスタTrを形成する。続いて、基板上に、第1の絶縁膜5と第1の水素バリア膜8とを順に堆積する。次に、第1の水素バリア膜8および第1の絶縁膜5を貫通して、高濃度不純物拡散領域2の一方に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ6を形成する。

【0083】次に、図6(b)に示す工程で、下部電極7、強誘電体材料からなる容量絶縁膜9、および上部電極10を、コンタクトプラグ6が被覆されるようにパターンニングすることによって順に形成する。なお、本実施形態では下部電極7と容量絶縁膜9を同時エッチングしているが、別々に行なってもかまわない。また、上部電極10を容量規定口とする構造について述べているが、下部電極7を容量規定口とするメモリセルキャパシタ構

造としてもかまわない。

【0084】次に、図6(c)に示す工程で、基板上に段差緩和用の層間膜15を、メモリセルキャパシタCが被覆されるように形成し、続いて、メモリセルキャパシタCを被覆する領域以外の層間膜15をドライエッチングによって除去する。なお、本製造方法においても、上記実施形態1と同様に、段差緩和用の層間膜15をフロー形状の良好なO₂およびTEOSを使用した常圧熱CVD法により形成する。このことによって、強誘電体材料からなる容量絶縁膜9にダメージを与えることなく段差緩和用の層間膜15を形成することができる。

【0085】なお、本製造方法においても、層間膜15としては、段差緩和が可能であり、且つ、強誘電体材料を劣化させない材料からなる膜であれば用いることができる。例えば、TEOS、SOG(スピノングラス)等が用いられる。

【0086】次に、図7(a)に示す工程で、基板上に第2の水素バリア膜11を、厚さ50nm程度に形成する。続いて、層間膜15を被覆する領域以外の第2の水素バリア膜11を除去する。このことによって、メモリセルキャパシタCおよび層間膜15が、第1の水素バリア膜8と第2の水素バリア膜11とによって完全に密封される。本実施形態では、上述の図6(c)に示す工程で段差緩和用の層間膜15が形成されているので、第2の水素バリア膜11をCVD法よりも段差被覆性の点で劣るスパッタ法を用いて形成することができる。従って、CVD法において発生する水素による劣化を抑制・防止することができる。

【0087】次に、図7(b)に示す工程で、基板上に第2の絶縁膜12を堆積し、CMP法などにより平坦化した後、第2の絶縁膜12、第2の水素バリア膜11および層間膜15を貫通して、上部電極10に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ13を形成する。続いて、第2の絶縁膜12、第1の水素バリア膜8および第1の絶縁膜5を貫通して、第2の絶縁膜12、第1の水素バリア膜8および第1の絶縁膜5を貫通して、MOSトランジスタTrの高濃度不純物拡散領域2に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ16を形成する。

【0088】次に、コンタクトプラグ13および16に接続されたA1配線14および14'を形成する。

【0089】—第2の製造方法—

図8を参照しながら、第2の製造方法を説明する。

【0090】本実施形態のメモリセル200の第2の製造方法は、上述の第1の製造方法とはほぼ同じ構成である。但し、上記第1の製造方法の図6(c)に示す工程で行なう段差緩和用の層間膜15の除去を、本製造方法ではウェットエッチング法で行なう点が異なる。

【0091】まず、図8(a)に示す工程で、半導体基

板S上にSTI分離領域3を形成した後、半導体基板S上にゲート絶縁膜（不図示）と、ゲート絶縁膜上に設けられたゲート電極1と、ゲート電極1を挟むように位置する高濃度不純物拡散領域2とからなるMOSトランジスタTrを形成する。続いて、基板上に、第1の絶縁膜5と第1の水素バリア膜8とを順に堆積する。次に、第1の水素バリア膜8および第1の絶縁膜5を貫通して、高濃度不純物拡散領域2の一方に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ6を形成する。

【0092】次に、下部電極7、強誘電体材料からなる容量絶縁膜9、および上部電極10を、コンタクトプラグ6が被覆されるようにパターニングすることによって順に形成する。なお、本実施形態では下部電極7と容量絶縁膜9を同時エッチングしているが、別々に行なってもかまわない。また、上部電極10を容量規定口とする構造について述べているが、下部電極7を容量規定口とするメモリセルキャパシタ構造としてもかまわない。

【0093】次に、図8（b）に示す工程で、基板上に段差緩和用の層間膜15を、メモリセルキャパシタCが被覆されるように形成し、続いて、フォトリソグラフィによりレジストマスク19を形成する。なお、本製造方法においても、上記実施形態1と同様に、段差緩和用の層間膜15をフロー形状の良好なO₂およびTEOSを使用した常圧熱CVD法により形成する。このことによって、強誘電体材料からなる容量絶縁膜9にダメージを与えることなく段差緩和用の層間膜15を形成することができる。また、層間膜15としては、段差緩和が可能であり、且つ、強誘電体材料を劣化させない材料（例えば、TEOS、SOG（スピノングラス）等）からなる膜であれば用いることができる。

【0094】次に、図8（c）に示す工程で、レジストマスク19をマスクとする等方性ウェットエッチング（例えばフッ酸などを用いる）を第1の水素バリア膜8の表面が露出するまで行なうことにより、層間膜15をパターニングする。このことによって、上記第1の製造方法よりも表面が滑らかな層間膜15を形成することが可能である。

【0095】次に、図8（d）に示す工程で、レジストマスク19を除去し、基板上に第2の水素バリア膜11を形成する。さらに、段差緩和用の層間膜15を被覆するように、且つ第1の水素バリア膜8と接触するようにパターニングする。

【0096】続いて、上記第1の製造方法の図7（b）に示す工程と同様に、基板上に第2の絶縁膜12を堆積し、CMP法などにより平坦化した後、第2の絶縁膜12、第2の水素バリア膜11および層間膜15を貫通して、上部電極10に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ13を形成する。続いて、第2の絶縁膜12、第1の水素

バリア膜8および第1の絶縁膜5を貫通して、第2の絶縁膜12、第1の水素バリア膜8および第1の絶縁膜5を貫通して、MOSトランジスタTrの高濃度不純物拡散領域2に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ16を形成する。

【0097】最後に、コンタクトプラグ13および16に接続されたA1配線14および14'を形成する。

【0098】—第3の製造方法—

10 図9および図10を参照しながら、第3の製造方法を説明する。

【0099】まず、図9（a）に示す工程で、半導体基板S上にSTI分離領域3を形成した後、半導体基板S上にゲート絶縁膜（不図示）と、ゲート絶縁膜上に設けられたゲート電極1と、ゲート電極1を挟むように位置する高濃度不純物拡散領域2とからなるMOSトランジスタTrを形成する。続いて、基板上に、第1の絶縁膜5と第1の水素バリア膜8とを順に堆積する。

【0100】次に、第1の水素バリア膜8および第1の絶縁膜5を貫通して、高濃度不純物拡散領域2の一方に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ6を形成する。次に、下部電極7、強誘電体材料からなる容量絶縁膜9、および上部電極10を、コンタクトプラグ6が被覆されるようにパターニングすることによって順に形成する。なお、本実施形態では下部電極7と容量絶縁膜9を同時エッチングしているが、別々に行なってもかまわない。また、上部電極10を容量規定口とする構造について述べているが、下部電極7を容量規定口とするメモリセルキャパシタ構造としてもかまわない。

【0101】次に、図9（b）に示す工程で、基板上に段差緩和用の層間膜15を、メモリセルキャパシタが被覆されるように形成する。特に、本実施形態では段差緩和用の層間膜15を、フロー形状の良好なO₂およびTEOSを使用した常圧熱CVD法により形成する。この方法によれば、成膜工程における温度は400℃と低く、水素発生量も少ない。このため、強誘電体材料からなる容量絶縁膜9にダメージを与えることなく段差緩和用の層間膜15を形成することが可能である。なお、層間膜15としては、段差緩和が可能であり、且つ、強誘電体材料を劣化させない材料（例えば、SOG（スピノングラス）等）からなる膜であれば用いることができる。

【0102】次に、基板上に第2の水素バリア膜11を、厚さ50nm程度に形成する。本製造方法では、段差緩和用の層間膜15が形成されているので、第2の水素バリア膜11をCVD法よりも段差被覆性の点で劣るスパッタ法を用いて形成することができる。従って、CVD法において発生する水素による劣化を抑制・防止することができる。

【0103】次に、図9(c)に示す工程で、メモリセルキャパシタCを被覆する領域上にマスク(不図示)を形成し、このマスクを用いるドライエッチングによってメモリセルキャパシタCを被覆する領域以外の層間膜15および第2の水素バリア膜11を除去する。なお、ここでは図示していないが、同じマスクを用いるドライエッチングによって第1の水素バリア膜8を除去してもかまわない。

【0104】次に、図10(a)に示す工程で、基板上に第3の水素バリア膜30を、厚さ50nm程度に形成する。

【0105】次に、図10(b)に示す工程で、上記図9(c)に示す工程で形成したメモリセルキャパシタCを被覆する第2の水素バリア膜11が消失しない程度に全面エッチバックすることによって、第3の水素バリア膜30からなるサイドウォール31を形成する。

【0106】以上の3種類の製造方法のいずれかを利用することによって、本実施形態のメモリセル200からなる強誘電体メモリ装置を実現することができる。

【0107】(実施形態3)図11は、本実施形態のメモリセルキャパシタを備えるメモリセルの製造方法を表す工程断面図である。

【0108】本実施形態のメモリセル300は、上記実施形態2とはほぼ同じ構造を有している。但し、図11(c)に示すように、コンタクトプラグ16が設けられる領域には、第1の水素バリア膜8が形成されていない点で異なる。なお、図11(c)では表されていないが、上部電極10は大きなセルプレートとなっており、その端部においてA1配線に接続されている。

【0109】第1の水素バリア膜8は、SiNまたはSiONなどから形成された硬質の窒化膜である。このような硬質の膜を貫通する接続孔を形成する場合、硬質の膜の部分の直径が小さくなるなど、接続孔の変形が起こりやすい。また、接続孔のアスペクト比が高くなるほど、硬質の膜を貫通できない(すなわちエッチングストップが生じる)ことがある。従って、接続孔を埋めるコンタクトプラグ16の形状が悪化することがある。

【0110】しかしながら、本実施形態のメモリセル300では、コンタクトプラグ16が、第1の絶縁膜5と第2の絶縁膜12とを貫通するように形成されており、上記実施形態2のように、第1の水素バリア膜8を貫通することがない。従って、本実施形態によれば、上記実施形態1および2と同様の効果が得られるのに加えて、第1の水素バリア膜8を貫通することによるコンタクトプラグ16の形状悪化が抑制・防止されたメモリセルが得られる。

【0111】次に、本実施形態のメモリセル300の製造方法を、図11を参照しながら説明する。

【0112】まず、上記実施形態2の第1の製造方法の図6(a)～(c)に示す工程と、全く同じ工程を行な

う。

【0113】次に、図11(a)に示す工程で、基板上に第2の水素バリア膜11を、厚さ50nm程度に形成する。本製造方法においても、上述の図6(c)に示す工程で段差緩和用の層間膜15が形成されているので、第2の水素バリア膜11をCVD法よりも段差被覆性の点で劣るスパッタ法を用いて形成することができる。従って、CVD法において発生する水素による劣化を抑制・防止することができる。

【0114】次に、図11(b)に示す工程で、第2の水素バリア膜11が層間膜15を被覆する領域の外側に位置する第2の水素バリア膜11と、その下に位置する第1の水素バリア膜8を同一のマスクを用いてドライエッチングにより除去する。

【0115】次に、図11(c)に示す工程で、基板上に第2の絶縁膜12を堆積し、CMP法などにより平坦化した後、第2の絶縁膜12および第1の絶縁膜5を貫通して、MOSトランジスタTrの高濃度不純物拡散領域2に到達する接続孔を開口した後、この接続孔内にタングステン膜を埋め込んでコンタクトプラグ16を形成する。

【0116】次に、コンタクトプラグ16に接続されたA1配線14'を形成する。

【0117】本実施形態の製造方法によれば、コンタクトプラグ16が設けられる領域では第1の水素バリア膜が除去されているので、層間膜15と第1の水素バリア膜との積層になることによるコンタクトプラグの形状悪化を抑制・防止することができる。

【0118】(実施形態4)図12および図13は、本実施形態のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。

【0119】図12に示すように、本実施形態のメモリセル400は、メモリセルトランジスタとして用いられるMOSトランジスタTrと、メモリセルキャパシタCとを有する。

【0120】MOSトランジスタTrは、半導体基板S上に形成されたゲート電極1と高濃度不純物拡散領域2とから構成されている。各メモリセルのそれぞれのMOSトランジスタTrは、埋め込み分離領域(以下、ST1分離領域と称する)3によって電気的に分離されている。ゲート電極1にはワード線(不図示)が接続されており、高濃度不純物拡散領域2の一方にはコンタクトプラグ16を介してビット線14が接続されている。MOSトランジスタTrが形成された半導体基板S上には、第1の絶縁膜5と、半導体基板S側からの水素の侵入および拡散を抑制・防止する第1の水素バリア膜8とが形成されている。

【0121】メモリセルキャパシタCは、第1の水素バリア膜8に埋め込むように形成された下部電極7と、下部電極7の上に形成された強誘電体材料からなる容量絶

10

20

30

40

50

縁膜9と、容量絶縁膜9の上に形成された上部電極10を備える。下部電極7は、第1の絶縁膜5および第1の水素バリア膜8を貫通するコンタクトプラグ6を介してもう一方の高濃度不純物拡散領域2に接続されている。

【0122】第1の水素バリア膜8およびメモリセルキャパシタCの上には、メモリセルキャパシタCの上面および側面を覆うように、メモリセルキャパシタCのエッジ部Eの段差を緩和する層間膜15が形成されている。なお、層間膜15は、メモリセルキャパシタCを被覆する領域に限定して設けられている。層間膜15の上には、層間膜15を覆うように、第2の水素バリア膜11が形成されており、第1の水素バリア膜8に接している。つまり、メモリセルキャパシタCおよび層間膜15が、第1の水素バリア膜8および第2の水素バリア膜11によって完全に密封されている。

【0123】さらに第2の水素バリア膜11の上に第2の絶縁膜12が形成されている。図12では表されていないが、上部電極10は大きなセルプレートとなっており、その端部においてA1配線に接続されている。

【0124】本実施形態では、メモリセルキャパシタCを覆うように、メモリセルキャパシタCのエッジ部Eの段差を緩和する層間膜15が形成されている。このため、第2の水素バリア膜11の段差被覆性が向上する。従って、上記実施形態1と同様に、層間膜15の上に形成される第2の水素バリア膜11は、従来のメモリセル1000に比べてエッジ部Eにおける結晶性・緻密性が維持されている。

【0125】この構造では第2の実施形態に示した効果に加えて、下部電極7を埋め込むことによって、その膜厚の分だけメモリセルキャパシタCの第1の水素バリア膜8の表面からの高さを低減できる。このため、第2の水素バリア膜11の段差が低減される。従って、第2の水素バリア膜11をバタニングする際のレジスト膜厚、バタニングへの影響を抑制し、メモリセルのさらなる微細化を実現することが可能である。

【0126】なお、本実施形態では下部電極7を容量規定口とする構造について述べたが、上部電極10を容量規定口とするメモリセルキャパシタ構造としてもかまわない。

【0127】さらに、本実施形態において、図13に示すように、下部電極7の直下に導電性水素バリア膜18を設けることが好ましい。

【0128】このことによって、上述の効果に加えて、コンタクトプラグ6から拡散してくる極微量の水素による容量絶縁膜の特性劣化も抑制・防止することが可能である。

【0129】次に、本実施形態のメモリセル500の製造方法を、図14および図15を参照しながら説明する。

【0130】まず、図14(a)に示す工程で、半導体

基板S上にSTI分離領域3を形成した後、半導体基板S上にゲート絶縁膜(不図示)と、ゲート絶縁膜上に設けられたゲート電極1と、ゲート電極1を挟むように位置する高濃度不純物拡散領域2とからなるMOSトランジスタTrを形成する。続いて、基板上に、第1の絶縁膜5を堆積する。次に、第1の絶縁膜5を貫通して、高濃度不純物拡散領域2の一方に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ6を形成する。次に、導電性水素バリア材料と金属材料とを順に堆積し、コンタクトプラグ6が被覆されるようにバタニングすることによって、導電性水素バリア膜18と下部電極7とを形成する。

【0131】次に、図14(b)に示す工程で、基板上に第1の水素バリア膜8を形成し、下部電極7の表面が露出されるように、例えばCMP法によって平坦化を行なう。

【0132】次に、図14(c)に示す工程で、基板上に強誘電体材料と金属材料とを堆積した後、フォトリソグラフィおよびドライエッチングを行なう。このことにより、下部電極7が被覆されるように容量絶縁膜9と上部電極10とを形成し、メモリセルキャパシタCを形成する。なお、このとき、容量絶縁膜9と上部電極10を同時にバタニングしたが、別々に行なってもかまわない。続いて、基板上に段差緩和用の層間膜15を堆積し、フォトリソグラフィおよびドライエッチングを行なうことにより、メモリセルキャパシタCが被覆されるように段差緩和用の層間膜15を形成する。

【0133】次に、図15(a)に示す工程で、基板上に第2の水素バリア膜11を、厚さ50nm程度に形成する。上述の図14(c)に示す工程で段差緩和用の層間膜15が形成されているので、第2の水素バリア膜11をCVD法よりも段差被覆性の点で劣るスパッタ法を用いて形成することができる。従って、CVD法において発生する水素による劣化を抑制・防止することができる。

【0134】次に、フォトリソグラフィおよびドライエッチングにより、第2の水素バリア膜11が層間膜15を被覆する領域の外側に位置する第2の水素バリア膜11と、その下に位置する第1の水素バリア膜8を除去する。

【0135】次に、図15(b)に示す工程で、基板上に第2の絶縁膜12を堆積し、CMP法などにより平坦化した後、第2の絶縁膜12、第2の水素バリア膜11および層間膜15を貫通して、上部電極10に到達する接続孔を開口した後、接続孔内にタングステン膜を埋め込んでコンタクトプラグ13を形成する。続いて、第2の絶縁膜12および第1の絶縁膜5を貫通して、MOSトランジスタTrの高濃度不純物拡散領域2に到達する接続孔を開口した後、この接続孔内にタングステン膜を埋め込んでコンタクトプラグ16を形成する。

【0136】次に、コンタクトプラグ16に接続されたA1配線14'を形成することによって、本実施形態のメモリセル500が得られる。

【0137】以上のように、本実施形態のメモリセル500の製造方法について述べたが、図14(a)に示す工程において、導電性水素バリア材料を堆積せずに、導電性水素バリア膜18を形成しなければ、本実施形態のメモリセル400を製造することができる。

【0138】下部電極7を容量規定口とするメモリセルキャパシタCを備えるメモリセルの製造方法について述べたが、上部電極10を容量規定口とする構成としてもかまわない。

【0139】以上に述べた実施形態1~4では、下部電極7が配線を介してMOSトランジスタTrの高濃度不純物拡散領域2に接続されている構造を有するものを説明したが、本発明は、下部電極7が大きなセルプレートとなっており、上部電極10が配線を介してMOSトランジスタTrの高濃度不純物拡散領域2に接続されている構造を有するものにも適用することができる。

【0140】また、以上に述べた実施形態1~4では、容量絶縁膜9が強誘電体材料から形成されているものを説明したが、高誘電体材料から形成されている場合にも、同様に高誘電体材料の特性劣化を抑制・防止する効果が得られる。容量絶縁膜9の具体的な材料としては、チタン酸ストロンチウム膜、バリウムを添加したチタン酸ストロンチウム膜、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ 膜、鉛とジルコニウムとチタンを含む酸化物(PZT)からなる膜、鉛とランタンとジルコニウムとチタンを含む酸化物(PLZT)からなる膜等の単層膜や、タンタル酸化膜とシリコン酸化膜の積層膜などが用いられる。

【0141】なお、以上に述べた実施形態1~4では、ゲート電極1を、ほとんど不純物を含まないポリシリコン膜を堆積し、不純物イオンを注入した後、タングステン膜、モリブデン膜、チタン膜、白金膜、あるいはタングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜、白金シリサイド膜等を堆積した積層膜から形成してもよい。また、タングステン膜、モリブデン膜、チタン膜、白金膜、あるいはタングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜、白金シリサイド膜等の単層膜を堆積し、不純物イオン注入を行わずにゲート電極1を形成してもよい。

【0142】また、以上に述べた実施形態1~4では、コンタクトプラグ6および13をタングステン膜から形成したが、タングステン膜とTiN膜とTi膜との積層膜から形成してもよい。

【0143】また、以上に述べた実施形態1~4では、下部電極7および上部電極10として、容量絶縁膜9に接する側から順にPt膜、Ir膜、TiN膜が積層された膜を用いているが、Ir膜の代わりに IrO_2 膜、TiN膜の代わりにTi膜を用いてもよい。

【0144】第1の水素バリア膜8および第2の水素バリア膜11の材料としては、水素バリア性の材料(例えば、 Al_2O_3 、TiN、TiAlN、TiSiN、Ta₂N、TaAlNおよびTaSiNなど)を用いることができる。

【0145】

【発明の効果】本発明によれば、水素や還元性雰囲気による特性の劣化が抑制・防止され、信頼性に優れたメモリセルキャパシタを備える強誘電体メモリ装置が得られる。

【図面の簡単な説明】

【図1】図1は、実施形態1のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。

【図2】図2は、実施形態1のメモリセルが備えるメモリセルキャパシタのエッジ部Eを拡大した図である。

【図3】図3は、本発明のメモリセルおよび従来のメモリセルに設けられたそれぞれのメモリセルキャパシタの分極特性を示すグラフである。

【図4】図4は、実施形態1のメモリセルの製造方法を表す工程断面図である。

【図5】図5は、実施形態2のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。

【図6】図6は、実施形態2のメモリセルの製造方法を表す工程断面図である。

【図7】図7は、実施形態2のメモリセルの製造方法を表す工程断面図である。

【図8】図8は、実施形態2のメモリセルの製造方法を表す工程断面図である。

【図9】図9は、実施形態2のメモリセルの製造方法を表す工程断面図である。

【図10】図10は、実施形態2のメモリセルの製造方法を表す工程断面図である。

【図11】図11は、実施形態3のメモリセルの製造方法を表す工程断面図である。

【図12】図12は、本実施形態のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。

【図13】図13は、本実施形態のメモリセルキャパシタを備えるメモリセルの断面図を示す図である。

【図14】図14は、実施形態4のメモリセルの製造方法を表す工程断面図である。

【図15】図15は、実施形態4のメモリセルの製造方法を表す工程断面図である。

【図16】図16は、従来のメモリセルを示す断面図である。

【図17】図17は、従来のメモリセルを示す断面図である。

【図18】図18は、従来のメモリセルが備えるメモリセルキャパシタのエッジ部Eを拡大した図である。

【符号の説明】

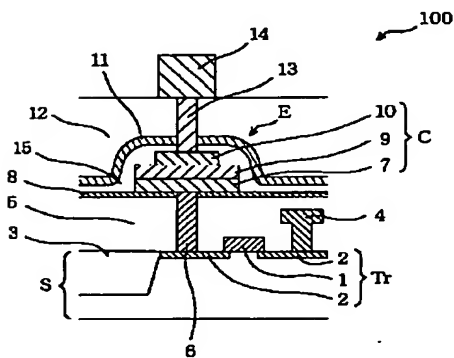
1 ゲート電極

- 2 高濃度不純物拡散領域
- 3 埋め込み分離領域（STI分離領域）
- 4 ビット線
- 5 第1の絶縁膜
- 6、13、16 コンタクトプラグ
- 7 下部電極
- 8 第1の水素バリア膜
- 9 容量絶縁膜
- 10 上部電極
- 11 第2の水素バリア膜

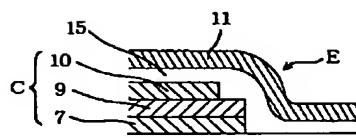
- * 12 第2の絶縁膜
- 14、14' A1配線
- 15 層間膜
- 18 導電性水素バリア膜
- 19 レジストマスク
- 30 第3の水素バリア膜
- 31 サイドウォール
- 100、200、300、400、500、1000、
1100 メモリセル

*10

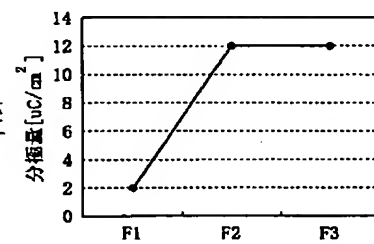
【圖 1】



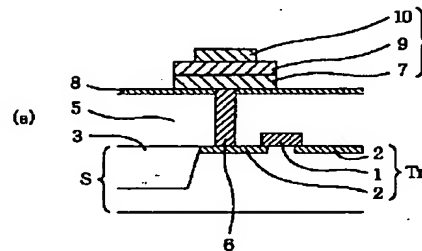
【圖2】



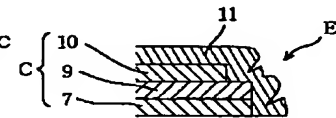
【圖3】



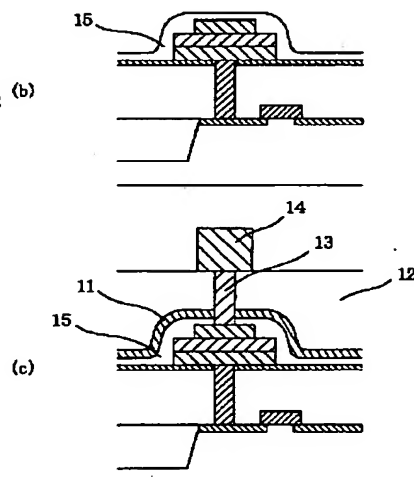
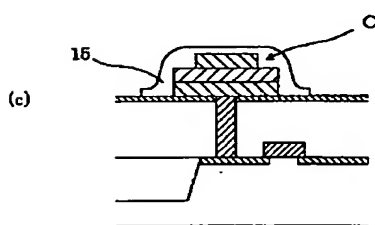
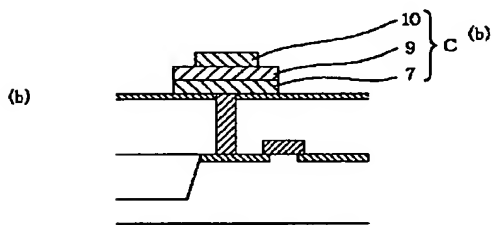
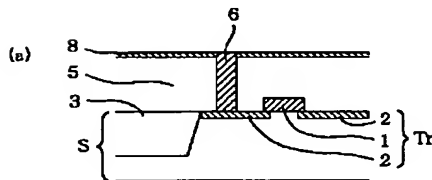
【図4】



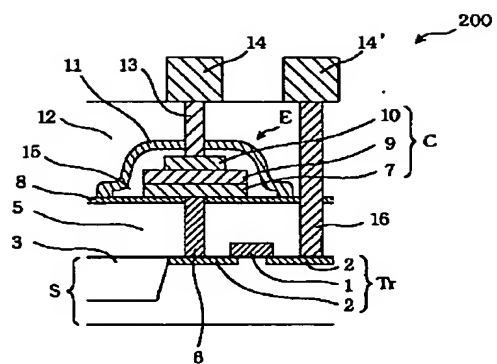
【圖 18】



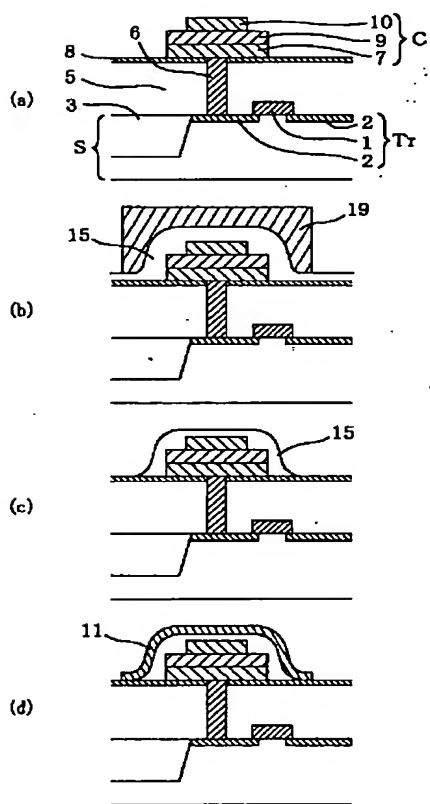
【圖6】



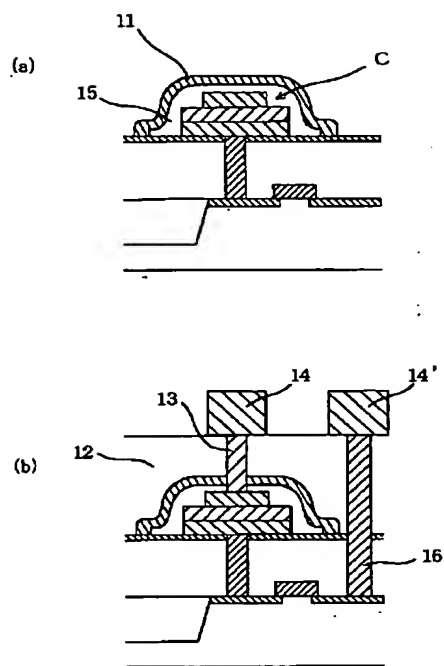
【図5】



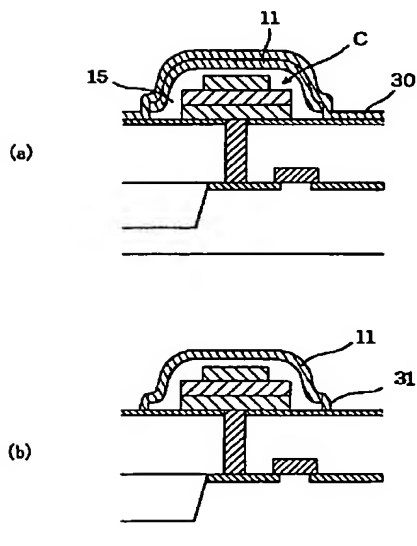
【図8】



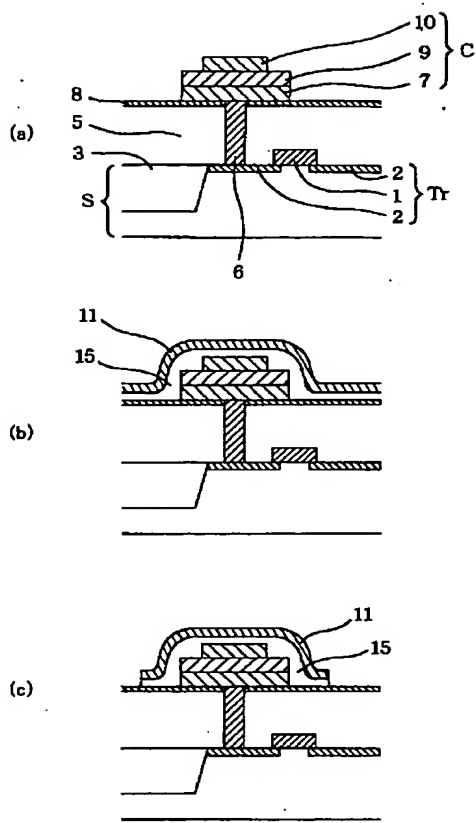
【図7】



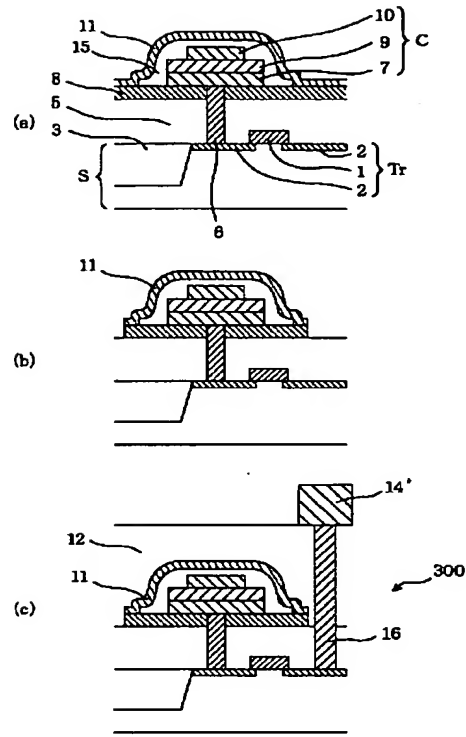
【図10】



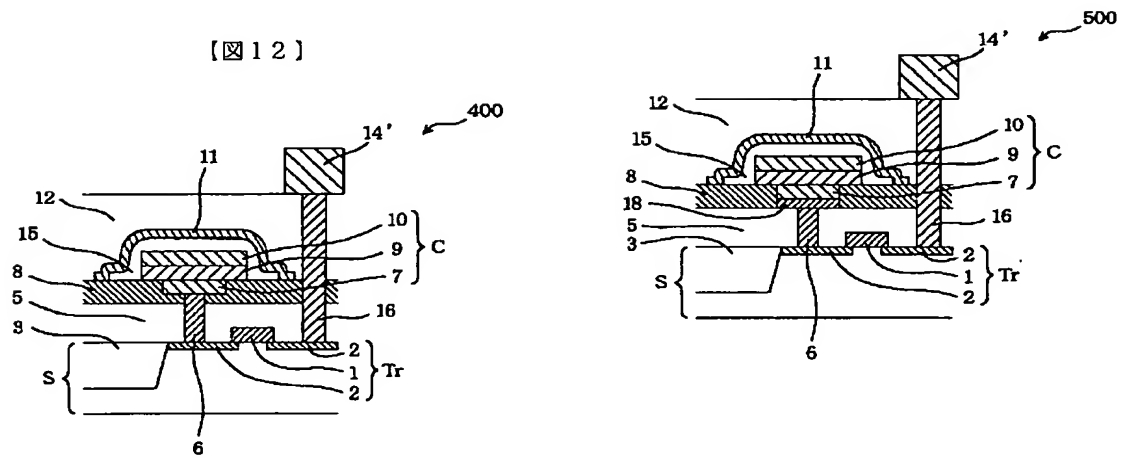
【図9】



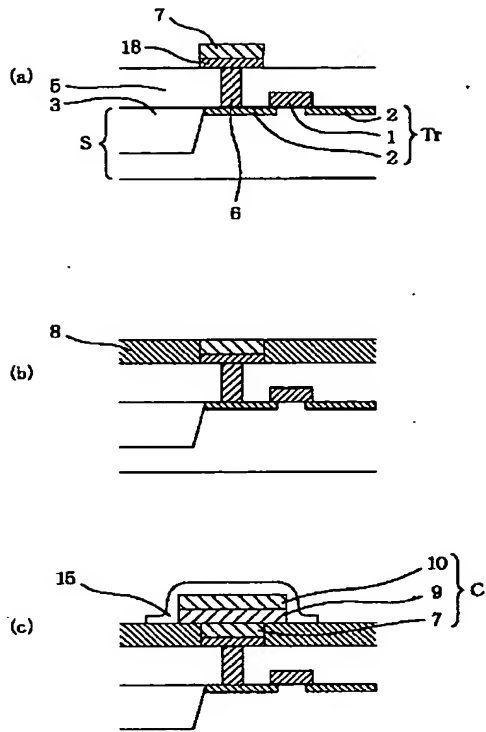
【図11】



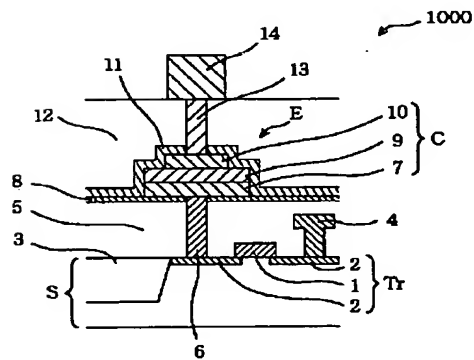
【図13】



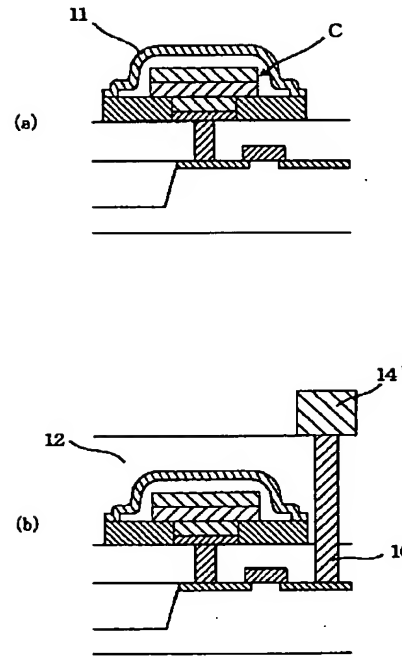
【図14】



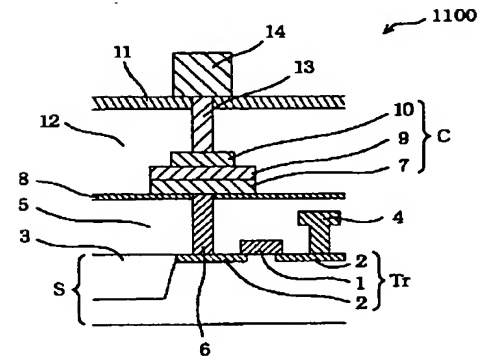
【図16】



【図15】



【図17】



フロントページの続き

(72)発明者 久都内 知恵
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5F083 FR02 GA21 GA25 JA14 JA15
JA17 JA35 JA36 JA38 JA39
JA40 MA06 MA17 MA20 PR18
PR21 PR22 PR23 PR40